

Введение в проблему разработки и производства СБИС

Тимур Палташев, д.т.н. timpal@gtnano.com

Термин СБИС (СверхБольшая Интегральная Схема) известен уже более трех десятков лет, с момента размещения на кремниевой подложке или кристалле нескольких десятков тысяч транзисторов. В настоящее время общее число транзисторов на больших кристаллах приближается к миллиарду и введен термин УБИС (Ультра-Большие Интегральные Схемы).

В тоже время интегральные схемы условно делятся на группы специализированных применений (ASIC - Application Specific Integrated Circuit) и коммерческие интегральные микросхемы общего применения, как массовые микропроцессоры и серийные наборы микросхем (серии 7400 или российские 555).

С развитием технологий производства и повышением степени интеграции появилась новая группа СБИС, комбинирующая свойства как СБИС специализированных применений, так и универсальных процессоров. Эту группу составляют системы на кристалле (СнК) или Systems-on-Chip, которые представляют собой комбинацию специализированных и универсальных процессорных ядер и блоков, выполненных на единой кремниевой подложке.

Для оценки сложности цифровых СБИС используется единица эквивалентного вентиля (например 2-входовой И-НЕ), который соответствует 4-м эквивалентным транзисторам.

Уровни интеграции СБИС принято делить на следующие группы:

- SSI - Small scale integration или МИС - малая интегральная схема с десятками и сотнями эквивалентных вентиляей.
- MSI - Medium scale integration или СИС - средняя интегральная схема с тысячами вентиляей.
- LSI - Large scale integration или БИС - большая интегральная схема с сотнями тысяч вентиляей.
- VLSI – Very large scale integration или СБИС - Сверхбольшая Интегральная Схема с несколькими миллионами вентиляей.
- USLI – Ultra large scale integration или УБИС - УльтраБольшая Интегральная Схема.

В России традиционно используется термин СБИС, поэтому далее мы будем пользоваться этим термином для обозначения всех интегральных схем высокой степени интеграции.

СБИС также различаются по полупроводниковой технологии исполнения:

- TTL или ТТЛ - транзисторно-транзисторная логика на биполярных транзисторах
- ECL или ЭСЛ - эмиттерно-связанная логика
- MOS - NMOS, CMOS или МОП, НМОП и КМОП логика.

Часто используемые обозначения:

- **MOS** - Metal Oxide Semiconductor или МОП – Металл-Оксид-Полупроводник
- **FET** - Field Effect Transistor (n- or p-channel) или полевой транзистор
- **BJT**- Bipolar Junction Transistor (nnp or pnp) или биполярный транзистор
- **CMOS** - Complementary MOS (circuit or technology) или комплементарная КМОП
- **static CMOS** - хранение данных на триггерах из КМОП транзисторов
- **dynamic CMOS** - хранение данных в виде зарядов конденсаторов с их регенерацией
- **TTL Transistor Transistor Logic** состоит из биполярных транзисторов и пассивных элементов
- **BiCMOS** - КМОП и биполярные транзисторе на единой кремниевой подложке

Массовая СБИС может выглядеть по разному, в зависимости от типа корпуса и выводов (штыревых или для поверхностного монтажа SMD). На рис.1 приведена микросхема в корпусе со штыревыми выводами.

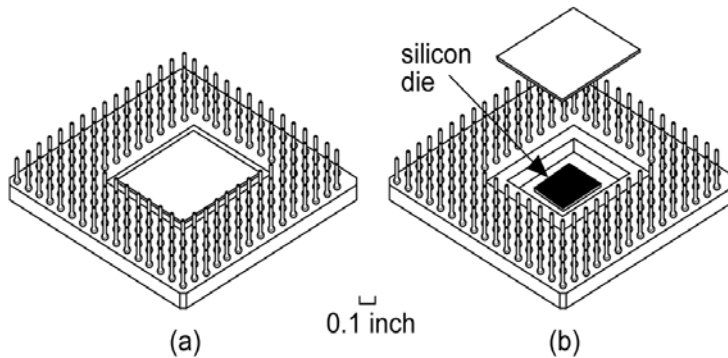


Рис.1. СБИС в корпусе (silicon die – кремниевый чип)

Основные типы СБИС, используемые в электронной индустрии:

- Полнозаказные СБИС (Full-Custom ASICs)
- Полузаказные матричные СБИС на основе стандартных ячеек-модулей (Standard-Cell-Based ASICs)
- Полузаказные СБИС на основе матрицы вентилях (Gate-Array-Based ASICs)
 - Канальные матрицы вентилях (Channeled Gate Array)
 - Бесканальные матрицы вентилях (Channelless Gate Array), наиболее популярные в настоящее время
 - Структурированные матрицы вентилях (Structured Gate Array)
- СБИС программируемой логики с макроячейками или макроблоками (Complex Programmable Logic Devices or CPLDs) или ПЛИС
- СБИС программируемой логики с микроячейками или базовыми блоками (Field-Programmable Gate Arrays or FPGA)

Каждый тип СБИС имеет свою нишу на рынке, которая определяется массовостью применения приборов и изделий, а также степенью универсальности характеристик СБИС.

Все эти типы СБИС различаются стоимостью проектирования и изготовления, в случае ПЛИС разработчик использует готовые СБИС, программируя их для своих приложений, что дает минимальную цену подготовки производства, которую называют **NRE** – non-recurring engineering cost.

На рис.2 приведены наборы масок (называемых также фотошаблонами) для полнозаказных и полузаказных СБИС, по их требуемому числу можно легко определить трудоемкость разработки каждого типа СБИС.

Самые нижние маски определяют формирование базовых транзисторов на кремниевой подложке, следующие уровни определяют их топологические соединения металлическими проводниками для формирования базовых логических элементов и макро-блоков. Верхние уровни масок определяют межсоединения между крупными макроблоками (мега-элементами) и конфигурацию ввода-вывода. В современных технологических процессах производства полупроводников используются свыше сорока масок, определяющих транзисторы, слои металлизации и изоляции. Стоимость комплекта масок достигает миллиона долларов и выше для процессов 45 нанометров.

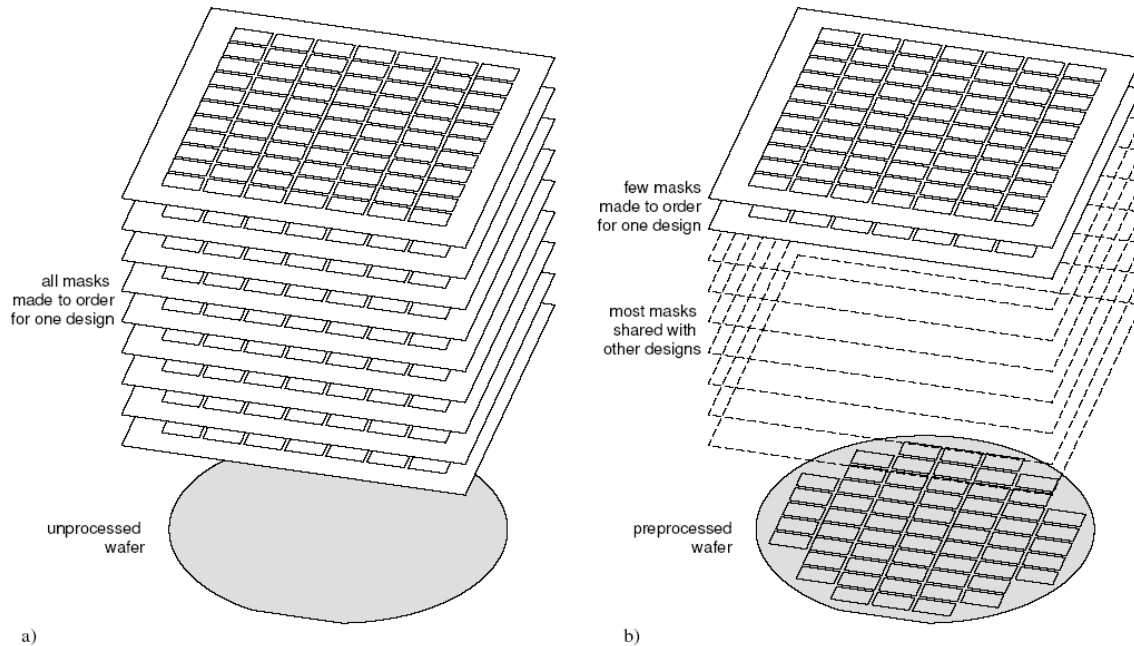


Рис.2. Маски или фотошаблоны для полнозаказных (a) и полузаказных (b) СБИС

Основные характеристики полностью заказных СБИС (Full-Custom ASICs):

- Все слои масок полностью заказные, могут быть использованы для производства только этой конкретной СБИС
- Разработчик должен спроектировать топологию каждого вентиля своими руками (без использования стандартных библиотек)
- Возможны частично автоматизированное размещение и трассировка
- Критические пути проектируются практически вручную или с использованием специального инструментария, управляемого уникальными скриптами разработчика
- Полностью заказное проектирование СБИС дает возможность получить наиболее высокую производительность и минимальную цену кремния (меньший размер чипа) для конкретной разработки
- Недостатками заказной разработки СБИС являются длительное время разработки (годы для больших процессоров), сложность и дороговизна процесса разработки, а также наиболее высокий риск (ошибки и задержки)

Обычно микропроцессоры раньше выполнялись в виде полностью заказных СБИС, но сейчас проявляется массовая тенденция использования технологий проектирования полузаказных СБИС, особенно в системах на кристалле. Другими примерами полнозаказных микросхем являются специализированные схемы для высоковольтной логики (автомобили), аналого-цифровые схемы (коммуникации), датчики и микромеханизмы, также как динамическая память DRAM.

Основные характеристики полузаказных СБИС на основе стандартных элементов-ячеек (Standard-Cell-Based ASICs):

- Используется также аббревиатура CBIC — “sea-bick (Cell-based ASIC)
- Используются библиотеки стандартных элементов
- Возможно использование предварительно спроектированных мега-ячеек, мегафункций, полнозаказных мега-ячеек, системных макросов, блоков с фиксированными функциями, готовых процессорных ядер (IP-ядер) от других поставщиков, или стандартных функциональных блоков

- Все слои масок являются заказными – размещение транзисторов и все соединения между ними
- Автоматизированное изменение размерности буферов, размещение блоков и трассирование межсоединений
- Полнозаказные блоки легко могут быть встроены в структуру СБИС без проблем (если спроектированы под ту же технологию)
- Ориентировочное время производственного цикла с момента получения топологии в виде GDS файла около восьми недель

Этот тип полузаказных СБИС является базовой кремниевой платформой для современных систем на кристалле (СНК).

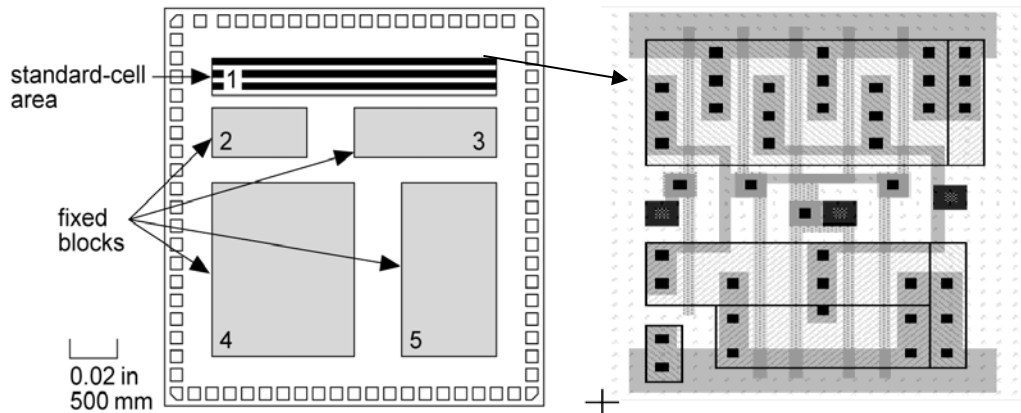


Рис.3. Пример топологии полузаказной СБИС на основе стандартных элементов-ячеек и макроблоков.

Рис.4. Топология стандартной ячейки (логического элемента 4И-НЕ).

1 – фрагмент топологии со стандартными ячейками (логическими элементами)
 2, 3, 4, 5 – фрагменты топологии стандартных или приобретенных макроблоков с фиксированными функциями или процессорных IP-ядер

Размещение блоков и трассирование межсоединений в полузаказной СБИС на основе стандартных элементов и макроблоков.

Так как с точки зрения свободы размещения блоков и макроблоков этот тип СБИС близок к полнозаказной и отличается только использованием заранее спроектированных библиотечных элементов и макроблоков, то размещение базовых транзисторов может быть совершенно произвольным и определяется макрокомпоновкой топологии (Рис.3) полузаказной СБИС. Библиотечные элементы-ячейки в такой СБИС могут располагаться в виде матрицы, имеющей определенное число строк и столбцов, пресечениями которых являются логические элемент-ячейки. Между строками и столбцами могут оставляться пространства (каналы) для разводки межсоединений. И полузаказная структура СБИС строится путем соединения этих ячеек-элементов в логические схемы в соответствии с принципиальной схемой логического устройства, оформленной в виде списка логических сетей в формате EDIF или структурного кода VHDL/Verilog.

На Рис. 5 показана структура топологии полузаказной СБИС на основе базовых стандартных библиотечных элементов и макроблоков. «Стена» из стандартных элементов используется для формирования полузаказного макроблока. Слой металлизации Metal2 может быть использован в специальных промежутках между элементами (feedthrough cell) для пересечения линейки стандартных элементов, которые используют слой металлизации metal1 для межсоединений внутри линейки стандартных элементов.

Типы ячеек-элементов, которые используются для межсоединений:

- Ячейки промежутков - feedthrough cells,

- Пустые ячейки - spacer cells ,
- Ячейки конца линейки - row-end cells
- Ячейки распределения питания - power cells.

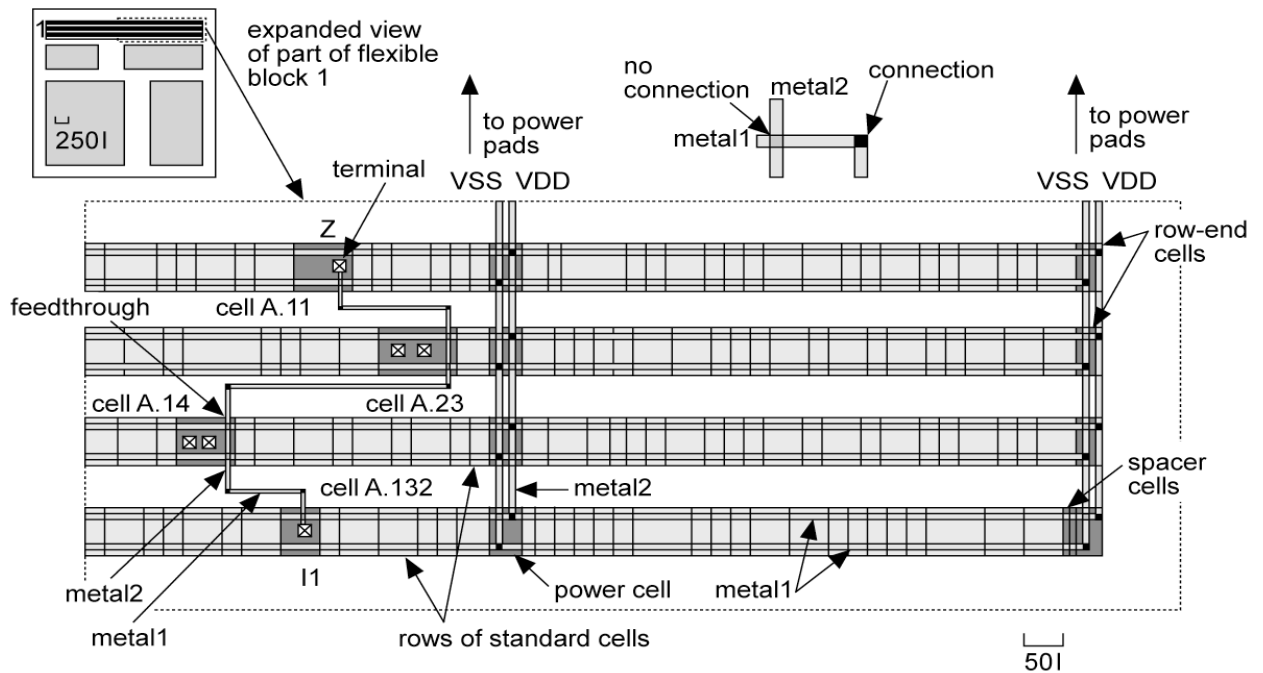


Рис. 5. Структура топологии полузаказной СБИС на основе базовых стандартных библиотечных элементов и макроблоков

Основные характеристики полузаказных СБИС на основе матрицы вентилях (Gate-Array-Based ASICs)

В матрице вентилях позиции всех транзисторов на пластине predeterminedены нижними слоями топологических масок, которые являются общими для всех вариантов СБИС. Эта predeterminedенная топология размещения транзисторов называется базовой матрицей, поэтому такие СБИС часто называют базовыми матричными кристаллами (БМК).

- Наименьший элемент, который повторяется в матрице, называется базой или ячейкой-примитивом
- Верхние уровни соединений между транзисторами определяются разработчиками СБИС в заказных масках верхнего уровня для формирования матрицы вентилях – *Masked Gate Array (MGA)*
- Проектирование выполняется путем соединения предпроектированных и заранее верифицированных библиотечных логических элементов (макроблоков)

После предварительной проверки реализуемости СБИС на уровне библиотечных элементов и макроблоков используется, как правило, автоматическое размещение и трассировка для преобразования в топологию СБИС с использованием ячеек-примитивов базовой матрицы.

Существуют три типа базовых матричных СБИС:

- Канальные матричные СБИС (Channeled Gate Array)
- Бесканальные матричные СБИС (Channelless Gate Array)
- Структурированные матричные СБИС (Structured Gate Array)

Особенности канальных матричных СБИС (Channeled Gate Array)

- Разработчиком проектируются только межсоединения между вентилями и соответственно изготавливаются только верхние слои масок

- Межсоединения используют изначально predetermined промежутки (каналы) между линейками базовых элементов (аналогично рис.5)
- Так как могут быть использованы предобработанные пластины с выполненными нижними слоями топологии, то резко снижается время производственного цикла СБИС, который может длиться от двух дней до двух недель в зависимости от числа заказных верхних слоев металлизации межсоединений

На рис.6А приведена структура матрицы вентиляей с выделенными каналами для межсоединений.

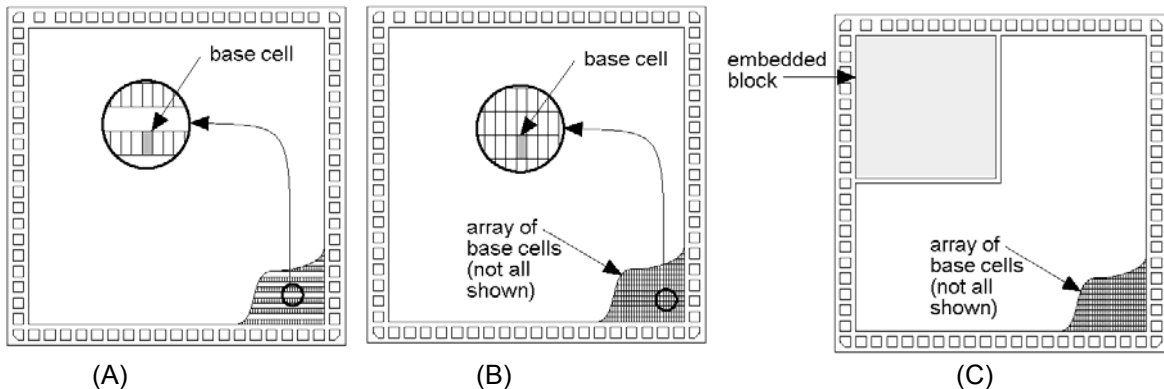


Рис.6. Канальные (а), бесканальные (б) и структурированные (с) матричные СБИС или БМК

Особенности бесканальных матричных СБИС (Channelless Gate Array)

- Их также называют «Море вентиляей» (Sea-of-Gates)
- В таких матричных кристаллах нет predetermined промежутков для трассирования межсоединений, межсоединения идут поверх базовых элементов матрицы
- Достижимая плотность размещения логических блоков значительно выше по сравнению с канальными матричными СБИС, что приводит к уменьшению требуемого размера кристалла
- Так как могут быть использованы предобработанные пластины с выполненными нижними слоями топологии, то резко снижается время производственного цикла СБИС, который может длиться от двух дней до двух недель в зависимости от числа заказных верхних слоев металлизации межсоединений

На рис.6В приведена структура бесканальной матрицы вентиляей.

Особенности структурированных матричных СБИС (Structured Gate Array)

- Заказчик проектирует только межсоединения вентиляей матрицы
- Полнозаказные блоки могут быть встроены в конкретный вариант СБИС (одни и те же для всей серии, имеющей определенную структуру)
 - Это могут быть функционально завершённые блоки как процессоры, разного рода контроллеры или модули памяти
 - И/или это могут быть матрицы базовых вентиляей другого типа, которые больше подходят для выполнения специфической функции
- Длительность производственного цикла структурированной матричной СБИС от двух дней до двух недель в зависимости от числа заказных верхних слоев металлизации межсоединений

На рис.6С приведена структура структурированной матрицы вентиляей.

Основные характеристики СБИС программируемой логики

Программируемые СБИС с встроенными макроблоками (Complex Programmable Logic Devices - CPLD)

Этот тип программируемых СБИС имеет следующие особенности:

- Не нужно проектировать топологию межсоединений базовых элементов и макроблоков и можно обойтись без полупроводникового производства
- Все межсоединения программируются непосредственно на СБИС, которая доступна для приобретения и немедленного использования
- Очень быстрый цикл проектирования
- На СБИС имеется специальный большой блок для обеспечения программируемых межсоединений в жесткой (маскируемой) и мягкой (перепрограммируемой) вариации
 - Стираемая программируемая СБИС (Erasable PLD -EPLD)
 - Единоразово программируемая с помощью маски (Mask-programmed PLD), которая обычно используется для массовых заказов у производителя
- Матрица логических макроблоков обычно содержит логические матрицы логических элементов, комбинируемых с линейками триггеров или регистров-защелок.

На Рис.7А приведена структура программируемой СБИС с встроенными макроблоками (CPLD).

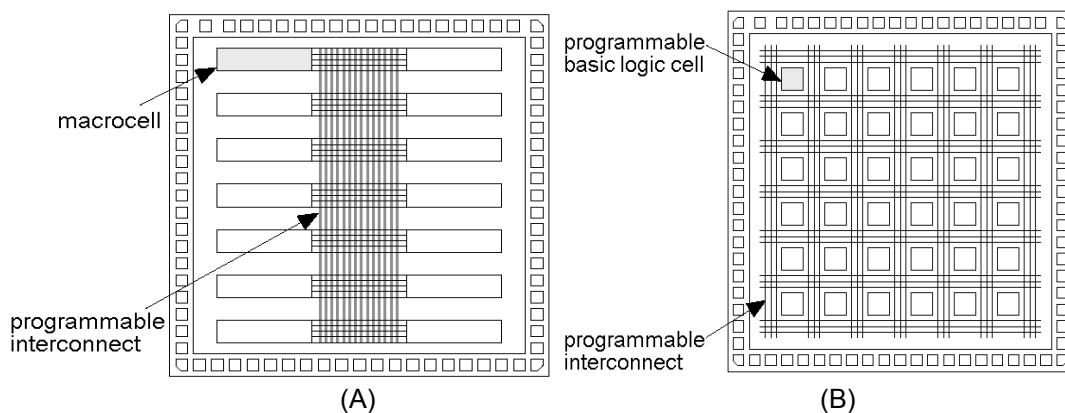


Рис.7. Структуры СБИС программируемой логики: (а) CPLD и (b) FPGA

Программируемые СБИС с встроенными базовыми блоками (Field Programmable Gate Array -FPGA)

Этот тип программируемых СБИС имеет следующие особенности:

- Не нужно проектировать маску межсоединений, она программируема непосредственно на СБИС
- Поставщик СБИС предлагает метод и инструментальные средства программирования как базовых логических блоков, так межсоединений между ними
- Ядром СБИС является регулярная матрица программируемых базовых логических блоков, которая может выполнять как логические функции, так и функции фиксации данных в последовательной логике (триггерах) и блоках памяти
- Матрица программируемых межсоединений окружает элементы матрицы базовых логических блоков и обеспечивает их соединение друг с другом при программировании конфигурации СБИС
- Программируемые блоки ввода-вывода окружают матрицу логических базовых блоков
- Процесс проектирования можно завершить за несколько часов

На Рис.7В приведена структура программируемой СБИС FPGA с встроенными базовыми блоками.

Маршрут проектирования СБИС

Упрощенный маршрут проектирования полужаказной СБИС включает ряд этапов, взаимосвязь которых отображена на Рис.8. Реальные маршруты выглядят сложнее и будут описаны в рабочих материалах для проектировщиков СБИС.

В любом случае он содержит части логического проектирования СБИС (front-end design) и физического проектирования СБИС (back-end design).

1. Формальное описание проекта (Design entry) – Проектирование СБИС осуществляется с использованием либо языка моделирования аппаратных средств (HDL Verilog, VHDL) или использованием разработанной принципиальной схемы. В обоих случаях используются специальные средства САПР от производителей Cadence, Synopsys, Mentor Graphics, Magna.

2. Логический синтез (Logic synthesis) – Средства САПР от производителей, указанных выше обеспечивают генерацию списка логических вентилях и их межсоединений (netlist).

3. Разбиение на модули (System partitioning) – Большая система разбивается на модули, которые можно проектировать как отдельные СБИС или мегаблоки одной СБИС.

4. Логическое моделирование дизайна СБИС (Prelayout simulation) – Проверка всех функциональных параметров и характеристик СБИС на логическом уровне. Если моделирование не дает корректных результатов, то этапы 1,2,3 повторяются до достижения успеха.

5. Топологическое размещение (Floorplanning) – Размещение модулей и блоков из списка логических вентилях и соединений на площади кристалла СБИС.

6. Размещение базовых элементов внутри блоков (Placement) – Выбор размещения базовых библиотечных элементов в блоках.

7. Трассирование и разводка межсоединений (Routing) – Соединение базовых библиотечных элементов, модулей и блоков между собой.

8. Экстракция паразитных сопротивлений и емкостей межсоединений (Extraction) – Определяются паразитные емкости и сопротивления, порождаемые спроектированной топологией межсоединений.

9. Postlayout simulation – Проверяется работоспособность будущей СБИС с добавленной паразитной нагрузкой на межсоединения. Если они не удовлетворяют требованиям по частоте и нагрузке, то этапы 5-9 повторяются до получения требуемого результата.

В рамках этапов физического моделирования производится также проверка соблюдения правил дизайна для технологии, по которой будет производиться СБИС (design rule check – **DRC**), также производится процесс обратной экстракции принципиальной схемы из физического дизайна топологии и используемых библиотек и производится сверка с исходной принципиальной схемой (netlist). Такая проверка называется сверкой топологии с принципиальной схемой (layout versus schematic check- **LVS**).

Сложность современных СБИС, содержащих сотни миллионов транзисторов, не позволяет делать ничего вручную без использования специальных средств автоматизации проектирования. Сложность этих САПР определяет их высокую стоимость и соответственно уровень начальных инвестиций для организации процессов разработки и проектирования СБИС. Реальные маршруты проектирования для различных кремниевых фабрик и требуемые наборы инструментальных средств описаны в специальных документах справочного проектирования (Reference design Flow), которые разрабатываются для каждого нового поколения полупроводникового технологического процесса, причем на каждой крупной фабрике.

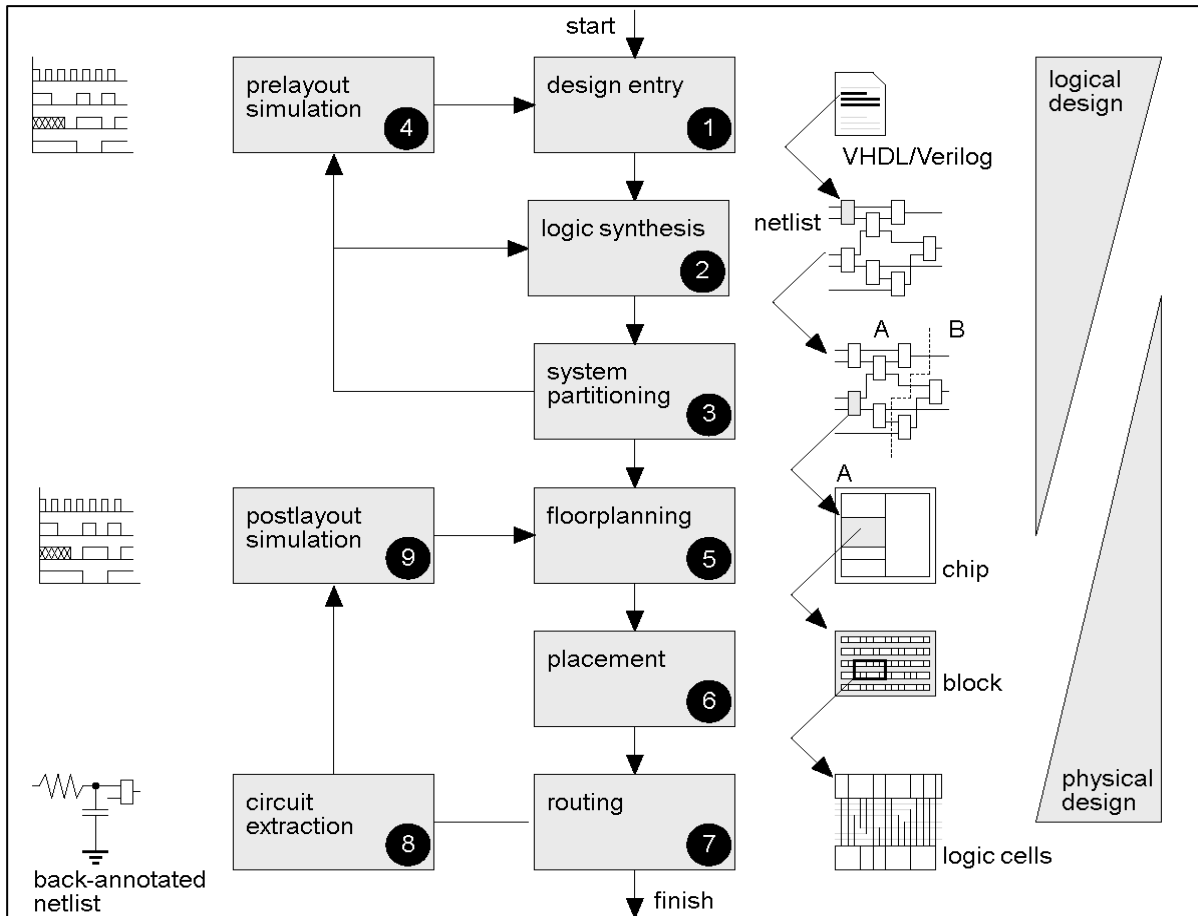


Рис. 8. Упрощенный маршрут проектирования СБИС

Краткий обзор экономических аспектов разработки и производства СБИС

Если исходить только из стоимости компонент, то наиболее дорогим устройством с точки зрения стоимости одного вентиля являются программируемые СБИС с базовыми логическими блоками (FPGA). Они дороже в расчете на один вентиль, чем матричные СБИС (MGA), которые в свою очередь дороже полужаказных СБИС на основе стандартных элементов-ячеек (СВИС)

Эта особенность объясняется тем, что фиксированная часть стоимости СВИС выше, чем фиксированная часть стоимости MGA, которая в свою очередь выше, чем у FPGA.

Можно выделить две основные части стоимости (цены) разработки и производства СБИС

- Стоимость разработки (Design cost)
- Стоимость производства (Fabrication cost)

Общая цена СБИС-продукта является функцией фиксированной цены, переменной цены и числа проданных СБИС:

- $total\ part\ cost = fixed\ part\ cost + variable\ cost\ per\ part \times volume\ of\ parts$

К примеру, допустим, что имеем следующую раскладку цен:

- Фиксированная часть цены проектирования на FPGA \$21,800, переменная часть цены одной СБИС \$39
- Фиксированная часть цены проектирования на MGA \$86,000, переменная часть цены одной СБИС \$10
- Фиксированная цены проектирования на СВИС \$146,000, переменная часть цены одной СБИС \$18

Построив график, аналогичный, представленному на Рис.9, можно увидеть, при какой серийности использование того или иного типа СБИС будет оптимальным.

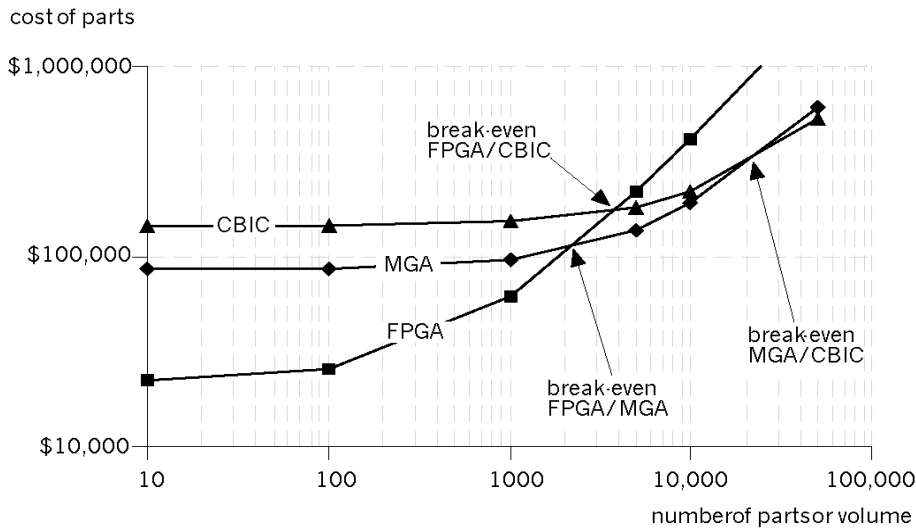


Рис.9. Графики изменения общей стоимости использования различных типов СБИС

Можно увидеть, что при серийности до 1000 изделий наиболее оптимальным является использование программируемых СБИС типа FPGA, при серийности более тысячи становится более оправданным использование матричных СБИС MGA. Серийность более 40-50 тысяч дает возможность использования полужаказных СБИС типа CBIC.

Структура фиксированной цены определяется исходя из тех расходов, которые нужны на обучение инженерного персонала, приобретение инструментария, проектирование, изготовление масок для производства и так далее. Кроме того, здесь присутствует пресловутый NRE (non-recurring engineering cost), который включает стоимость масок и моделирования для отдельной СБИС, результаты которого не могут быть использованы для производства других изделий. Структура фиксированной цены представлена на рис.10:

	FPGA	MGA	CBIC
Training:	\$800	\$2,000	\$2,000
Days	2	5	5
Cost/day	\$400	\$400	\$400
Hardware	\$10,000	\$10,000	\$10,000
Software	\$1,000	\$20,000	\$40,000
Design:	\$8,000	\$20,000	\$20,000
Size (gates)	10,000	10,000	10,000
Gates/day	500	200	200
Days	20	50	50
Cost/day	\$400	\$400	\$400
Design for test:		\$2,000	\$2,000
Days		5	5
Cost/day		\$400	\$400
NRE:		\$30,000	\$70,000
Masks		\$10,000	\$50,000
Simulation		\$10,000	\$10,000
Test program		\$10,000	\$10,000
Second source:	\$2,000	\$2,000	\$2,000
Days	5	5	5
Cost/day	\$400	\$400	\$400
Total fixed costs	\$21,800	\$86,000	\$146,000

Рис.10. Структура фиксированной цены проектирования СБИС

На рис.11 представлена типичная модель прибыльности бизнеса по производству СБИС, на которой пик продаж достигается в течении нескольких кварталов или года с момента выхода на рынок. Далее идет постепенный спад, который требует в течении года-полтора выпуска модифицированной версии СБИС с улучшенными параметрами для поддержки уровня продаж.

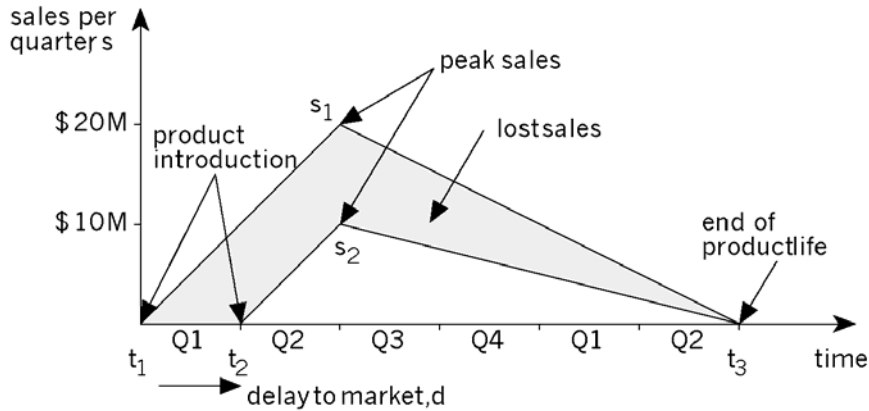


Рис.11. Типичная модель прибыльности бизнеса по разработке продаже СБИС

Переменная часть цены обычно содержит параметры самого производства и определяется его эффективностью. Кроме того, на него влияет геометрический размер кристалла и процент выхода годных. Структура переменной части цены СБИС приведена на Рис.12.

	FPGA	MGA	CBIC	Units
Wafer size	6	6	6 inches	
Wafer cost	1,400	1,300	1,500 \$	
Design	10,000	10,000	10,000 gates	
Density	10,000	20,000	25,000 gates/sq.cm	
Utilization	60	85	100 %	
Die size	1.67	0.59	0.40 sq.cm	
Die/wafer	88	248	365	
Defect density	1.10	0.90	1.00 defects/sq.cm	
Yield	65	72	80 %	
Die cost	25	7	5 \$	
Profitmargin	60	45	50 %	
Price/gate	0.39	0.10	0.08 cents	
Partcost	\$39	\$10	\$8	

Рис.12. Структура переменной части цены при производстве СБИС

Приведенный экономический анализ не содержит реальных цен 2009 года, поэтому может быть использован в качестве структурного примера. С другой стороны, соотношение цен будет примерно таким же, как и в приведенных примерах.

Краткий обзор использования библиотечных элементов, необходимых для проектирования полужаказных СБИС (ASIC Cell Libraries)

Библиотеки стандартных элементов используются разработчиками для проектирования логических и арифметических функций в полужаказной СБИС. Без такой библиотеки спроектировать полужаказную СБИС практически невозможно. Библиотеки подразделяются на базовые (логика и ввод/вывод), а также библиотеки макроэлементов и макроблоков. Кроме того, существуют поставщики готовых функциональных блоков и процессорных ядер, которые также можно отнести к библиотекам верхнего уровня.

Существуют несколько вариантов действий команды разработчиков полузаказной СБИС.

Вариант №1: Использование набора библиотечных инструментов (process design kit - PDK), предоставляемого полупроводниковой фабрикой – производителем СБИС. При этом каждая фабрика (foundry), к примеру TSMC или UMC, имеет такие PDK на каждую вариацию процесса (45G, 65LP и т.д.). Какие особенности возникают при этом варианте?

Во-первых, маршрут проектирования должен включать инструментальные средства, одобренные фабрикой. Как правило, для каждого процесса фабрика представляет справочный маршрут проектирования одного изделия, где перечислены необходимые средства САПР, их производители, а также приводятся образцы скриптов для управления инструментарием. При этом фабрика может гарантировать высокую вероятность получения положительного результата при производстве.

Во-вторых, все библиотечные элементы являются фантомами, или пустыми «черными ящиками», внутренняя топология которых заполняется фабрикой при подготовке масок для производства. Комплект масок при этом делается на фабрике и остается там навсегда и использование этих масок с другой фабрикой невозможно.

В-третьих, фабрика может дать наибольшие гарантии, что спроектированная таким образом СБИС на выходе из производства будет работоспособной.

Можно отметить, что поставщики электронных САПР также являются дистрибуторами библиотек ведущих фабрик и популярные библиотеки можно приобрести непосредственно у них.

Вариант №2: Приобретение библиотеки элементов от независимых поставщиков, таких как ARM-Artisan или других. Какие проблемы при этом возникают?

Во-первых, поставщик библиотек не является фабрикой-производителем СБИС и должен постоянно получать всю исчерпывающую информацию об изменениях технологического процесса на той или иной фабрике. В противном случае библиотека может оказаться устаревшей и при производстве СБИС могут возникнуть проблемы (выход годных, частотные параметры и параметры энергопотребления).

Во-вторых, библиотека независимого поставщика может быть проверена и одобрена фабрикой (qualified cell library), что сильно повышает шансы на успешное производство на данной фабрике. Если библиотека не проверена на конкретной фабрике, то степень риска резко повышается.

В-третьих, этот подход позволяет разработчикам владеть комплектом электронных масок для производства СБИС на момент завершения разработки, что является положительной стороной.

Вариант №3: Можно разработать свою собственную библиотеку элементов и макроблоков, что является крайне тяжелым и дорогим удовольствием. Для этого надо получить всю информацию о конкретном технологическом процессе на фабрике в виде огромного файла с правилами проектирования (design rules), описания базовых транзисторов и их модели для этого процесса, чтобы начать физическое проектирование многочисленных стандартных библиотечных элементов.

Для иллюстрации варианта №3 рассмотрим требования к разработке стандартных библиотек элементов. На Рис.13 изображены некоторые обязательные параметры библиотечного элемента ЗИЛИ-HE. Число таких элементов в библиотеке может быть достаточно большим, чем больше число, тем эффективнее библиотека.

Полная библиотека элементов, пригодная для коммерческого использования должна включать следующую информацию для каждого элемента библиотеки или макроблока:

- Полную топологию элемента (physical layout), Рис.13, (e)
- Формальную модель поведения (behavioral mode), Рис.13, (c)
- Модель на языке HDL (VHDL or Verilog), Рис.13, (b)
- Детальные временные диаграммы и временную модель
- Стратегия тестирования элемента, таблица истинности для логики Рис.13, (c)
- Принципиальную схему, Рис.13, (d)
- Символ или иконка, Рис.13, (a)

- Модель нагрузки с экстракцией паразитных нагрузок (wire-load model)
- Модель Spice для моделирования электрических цепей
- Модель топологии с проверкой относительно правил проектирования DRC rule deck, Рис.13, (f)

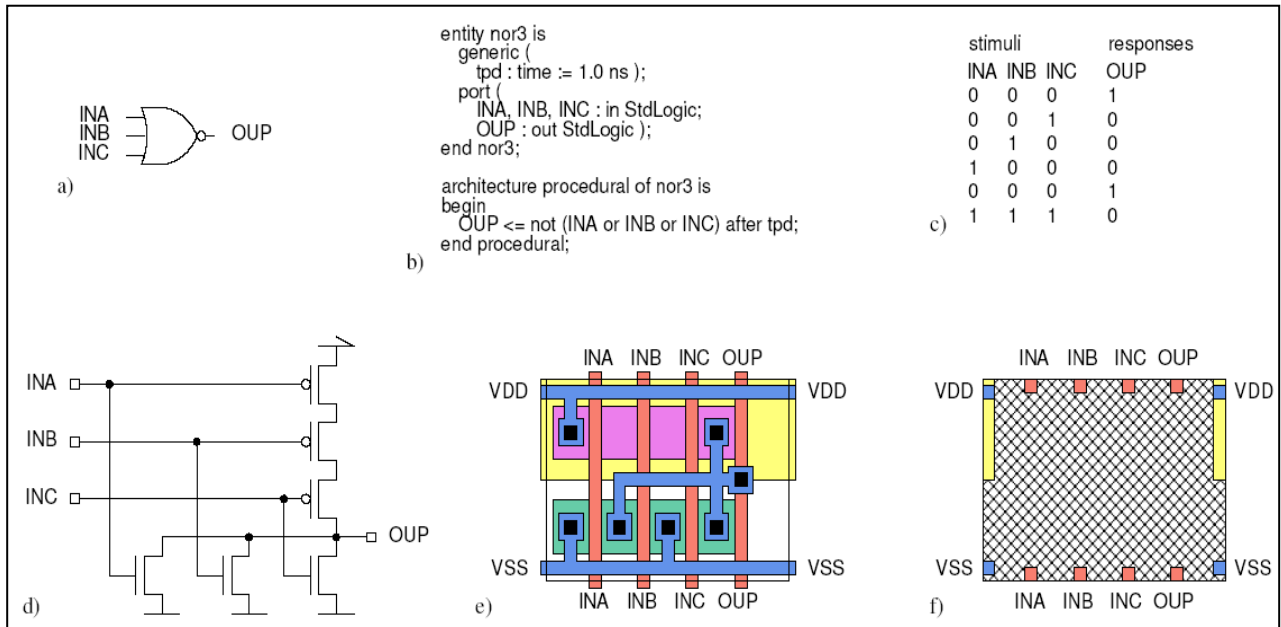


Рис.13. Основные характеристики библиотечного элемента 3 ИЛИ-НЕ.

Настоящая статья является вводным материалом для инженеров и студентов вузов и не претендует на абсолютную точность и глубину изложения проблематики проектирования СБИС, которая будет излагаться в последующих материалах GTnano.

* * * *

Данная статья написана с использованием материалов из учебников:

1) "Application-Specific Integrated Circuits", Michael J. S. Smith VLSI Design Series 1,040 pages ISBN 0-201-50022-1, Adisson Wesley, 1997

2) "Digital Integrated Circuit Design", Hubert Kaeslin, Cambridge University Press ISBN: 9780521882675 , United Kingdom, 2008

(c) Gatchina Nanoelectronics, Phoenix, Arizona, August 13, 2009